

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186237

(43)Date of publication of application : 15.07.1997

(51)Int.Cl.

H01L 21/768

H01L 21/304

(21)Application number : 08-274580

(71)Applicant : INTERNATL BUSINESS MACH CORP (IBM)

(22)Date of filing : 17.10.1996

(72)Inventor :
ARMACOST MICHAEL DAVID
DOBUZINSKY DAVID MARK
GAMBINO JEFFREY P
JASO MARK ANTHONY

(30)Priority

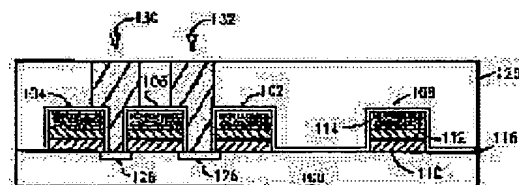
Priority number : 95 557224 Priority date : 14.11.1995 Priority country : US

(54) METHOD FOR FORMING INTERLAYER STUD OF SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor-chip manufacturing method wherein the surface flatness of a VLSI chip with a multilayer-interconnection layer is improved and its insulation layer is simply flattened in the course of its manufacture to improve its yield.

SOLUTION: In an insulation layer 120 formed on a semiconductor wafer 100 and made of boron phosphide silicate glass(BPSG), via holes (through holes) are formed. Filling a polysilicon layer into the through holes to form it simultaneously on the whole surface of the BPSG insulation layer 120, an impurity is added to or ion-injected into the polysilicon layer. Annealing the resultant product to diffuse a dopant from the polysilicon layer into the wafer 100, diffusion portions 126 are formed in it. Then, using a non-selective slurry made of colloidal silica and ammonium hydroxide not smaller than 1% and using a hard polishing pad, both the BPSG insulation layer 120 and the polysilicon layer are polished chemically and mechanically to form polysilicon studs 130, 132 (intermediate posts) while flattening concurrently the BPSG insulation layer 120.



LEGAL STATUS

[Date of request for examination] 04.09.1998

[Date of sending the examiner's decision of rejection] 05.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3315605

[Date of registration] 07.06.2002

[Number of appeal against examiner's decision of rejection] 2002-07047

[Date of requesting appeal against examiner's decision of rejection] 23.04.2002

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186237

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	C
21/304	3 2 1		21/304	3 2 1 P
				3 2 1 S

審査請求 未請求 請求項の数17 O L (全 7 頁)

(21) 出願番号	特願平8-274580	(71) 出願人	390009531 インターナショナル・ビジネス・マシー ズ・コーポレーション INTERNATIONAL BUSIN ESS MACHINES CORPO RATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22) 出願日	平成8年(1996)10月17日	(72) 発明者	マイケル・デヴィッド・アーマコスト アメリカ合衆国 12589 ニューヨーク州 ウォールキル ビーチャー ヒル ロー ド 183
(31) 優先権主張番号	08/557224	(74) 代理人	弁理士 合田 潔 (外2名)
(32) 優先日	1995年11月14日		
(33) 優先権主張国	米国 (US)		

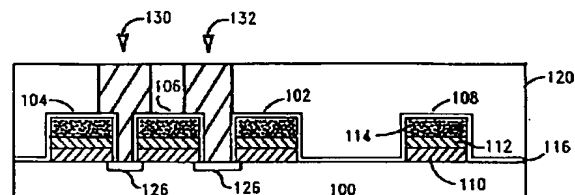
最終頁に続く

(54) 【発明の名称】 半導体ウエハの層間スタッド形成方法

(57) 【要約】 (修正有)

【課題】 多層配線層を有する超L S Iチップの表面平坦性を改良し、製造中絶縁層を簡易に平坦化してチップの歩留りを改善できる半導体チップ製造方法を提供する。

【解決手段】 半導体ウエハ100上に形成されたホウリン酸塩ケイ酸硝子(BP S G)よりなる絶縁層120にバイア(貫通孔)が開口される。ポリシリコン層が貫通孔を充填してBP S G絶縁層全面上に形成され、このポリS i層に不純物が添加ないしイオン注入される。ポリS i層からドーパントを拡散させるためにアニールして、ウエハ中に拡散部126が形成される。次にコロイド状シリカと1%以上の水酸化アンモニウムよりなる非選択スラリと、硬い研磨パッドを用いてBP S G絶縁層120及びポリS i層を化学的・機械的研磨し、同時にBP S G絶縁層を平坦化しながらポリS iスタッド(間柱)130、132が形成される。



【特許請求の範囲】

【請求項1】半導体ウエハ上の絶縁層に通して層間スタッドを形成する方法において、

a) 半導体ウエハ上に絶縁材料よりなるコンフォーマル性の層を形成する工程と、
b) 前記絶縁層を通る複数のバイアを形成する工程と、
c) 前記複数のバイアを充填して前記コンフォーマル性の絶縁層の上に導体材料よりなる層を形成する工程と、
d) 前記導体材料が前記複数のバイアのみに残るようにして、前記導体層及び前記絶縁層を平坦な表面に化学的・機械的研磨を行う工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項2】請求項1に記載の形成方法において、前記化学的・機械的研磨工程(d)で用いられる研磨剤は、前記導体層及び前記絶縁層にとって非選択スラリであることを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項3】請求項2に記載の形成方法において、前記非選択スラリはシリカ及び水酸化アンモニウムよりなることを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項4】請求項3に記載の形成方法において、前記シリカは30nmよりも大きい粒子サイズのコロイド状シリカであることを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項5】請求項4に記載の形成方法において、前記水酸化アンモニウムは少なくとも1%であることを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項6】請求項3に記載の形成方法において、前記導体材料はポリシリコンであり、前記絶縁材料はBP SGであることを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項7】請求項6に記載の形成方法において、前記ポリシリコンはドーブされたポリシリコンであることを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項8】請求項7に記載の形成方法において、前記化学的・機械的研磨工程(d)の前に、さらに、
C1) 前記ポリシリコンよりなる層からドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項9】請求項6に記載の形成方法において、前記化学的・機械的研磨工程(d)の前に、さらに、
C1) 前記ポリシリコン層にドーバントを注入する工程と、
C2) 前記注入ドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項10】半導体ウエハ上のBP SG絶縁層に通し

て層間スタッドを形成する方法において、

a) 前記半導体ウエハ上にコンフォーマル性の前記BP SG絶縁層を形成する工程と、

b) 前記BP SG絶縁層を通る複数のバイアを形成する工程と、

c) 前記複数のバイアを充填して前記コンフォーマル性のBP SG絶縁層の上にポリシリコン層を形成する工程と、

d) ポリシリコン・スタッドが前記複数のバイアに残るように、ポリシリコン及びBP SGにとって非選択的なスラリにより前記ポリシリコン層と前記BP SG層を平坦な表面に化学的・機械的研磨を行う工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項11】請求項10に記載の形成方法において、前記非選択スラリはシリカ及び少なくとも1%の水酸化アンモニウムよりなることを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項12】請求項3に記載の形成方法において、前記コロイド状シリカは30nmよりも大きい粒子サイズを有することを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項13】請求項10に記載の形成方法において、前記ポリシリコンはドーブされたポリシリコンであり、前記化学的・機械的研磨工程(d)の前に、さらに、
C1) 前記ポリシリコン層からドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項14】請求項10に記載の形成方法において、前記化学的・機械的研磨工程(d)の前に、さらに、
C1) 前記ポリシリコン層にドーバントを注入する工程と、
C2) 前記注入ドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項15】半導体ウエハ上のBP SG絶縁層に通して層間スタッドを形成する方法において、

a) 前記半導体ウエハ上にコンフォーマル性の前記BP SG絶縁層を形成する工程と、

b) 前記BP SG絶縁層を通る複数のバイアを形成する工程と、

c) 前記複数のバイアを充填して前記コンフォーマル性のBP SG絶縁層の上にポリシリコン層を形成する工程と、

d) 前記ポリシリコン層からドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、

e) ポリシリコン・スタッドが前記複数のバイアに残るようにして、少なくとも1%の水酸化アンモニウムと少

なくとも粒子サイズが30nmのコロイド状シリカよりなるスラリーをもって前記ポリシリコン層と前記BPSG絶縁層を平坦な表面に化学的・機械的研磨を行う工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項16】請求項10に記載の形成方法において、前記ポリシリコンはドーパされたポリシリコンであることを特徴とする半導体ウエハの層間スタッド形成方法。

【請求項17】請求項10に記載の形成方法において、前記アニール工程(d)の前に、さらに、C1)前記ポリシリコン層にドーパントを注入する工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップ用の改良された表面処理技術に関し、さらに詳しくは、改良された化学的・機械的研磨技術による半導体チップ表面の平坦化に関するものである。

【0002】

【従来の技術】半導体チップは、裸金属配線パターンによって相互接続される導体ターミナルを備えたデバイス・アレイである。超LSI(VLSI)チップにおいては、それらの金属配線パターンは多層化されている。各配線層は絶縁材料層によって他の導体層から隔絶されている。異なる配線層間の相互接続は、絶縁材料層を通してエッチングされるスルーホール(バイア)を介して行われる。

【0003】VLSIチップが形状収縮し、配線層が増えると、各層の表面の不規則性が次層に移り、次層の各々の表面をさらに不規則にしてしまう。そうした不規則性は不規則表面上に形成した形状を歪曲させ、層間のレベル対レベルの整合を難しくする。本明細書において「層間(interlevel)スタッド」とは、少なくとも2層間にわたるスタッドのことをいっており、ソース/ドレイン拡散部および配線レベルとの接続を含むものである。いくつかの場合において、そうした歪曲は厳しいものである。目的の形状を十分に転写(プリント)したり、そのプリントするマスクを下層に整合させることは不可能に近い。表面の不規則性を減らす方法の一つは、その表面に配線パターンをプリントする前に、導体材料(例えば、バイアにスタッドを形成する)をもってバイアを充填することである。しかしながら、その表面に一段高く形成された配線の形状は、依然、次層の表面に不規則性を発生させる。したがって、高寸法精度の幾何学的な正確さを達成するために、表面をほぼ平ら、もしくは完全平坦に生成するための多様な層間技術が発達してきた。これらの技術は、平坦化もしくは処理技術として従来より周知である。

【0004】係る平坦化処理の1つに、Chem-Mech 研

(Chemical-Mechanical Polishing)もしくはCMPとして知られる化学的・機械的研磨法がある。CMPはウエハ表面に対して溶液(スラリーとして知られる)中に研磨剤を添加する工程を含み、続いて表面の研磨が行われる。溶液中への添加剤は、表面材料を化学的に反応させて軟らかくし、軟化した表面の最も高い部分が研磨剤粒子によって除去される。

【0005】研磨される層が不規則な表面の粗さまたは表面の形状(トポグラフィ)をもつ均一な材料からなる場合、CMPは比較的単純な処理である。そこで、従来より、CMPは半導体チップ層の最上部に、すなわちチップ上面に最も近くで非導電性材すなわちダイエレクトリック(絶縁体、誘電体)を絶縁しながら平坦化するために広く用いられてきた。これらの最上層は、各工程がライン後半で行われる組立ラインの半導体チップ製造処理にちなんで、時にはバック・エンド・オブ・ライン(BEOL)層と呼ばれる。同様に、早期段階の処理工程はフロント・エンド・オブ・ライン(FEOL)であって、初期の層はそのFEOL層に、中間工程/層はミドル・オブ・ライン(MOL)にて行われる。

【0006】CMPは、2つの配線層間といった導体層間に、既に平坦化された非導電層を通る層間(中間レベル)バイアにスタッドを形成するのに利用される。スタッド形成にあたっては、初めにCMPによって非導電層を平坦化し、次にその非導電層を通してバイアパターンが開けられ、ポリシリコン又はタングステンのごとき導体材料よりなる層がパターン化非導電層上に形成され、そして最後に、導体材料層は、この導体材料がバイア内のみ残るようにして非導電層まで削り取られる(ポリッシュダウン)。

【0007】

【発明が解決しようとする課題】CMP後、不幸にも引っ掻き傷(スクラッチ)が研磨した後の非導電層に残ることがある。さらに、研磨工程では、これまでは下層によって生じる表面の不規則性を100%除去することができなかった。さらに又、表面に残るくぼみのために、CMPでは不要な導体材料全部を除去できないこともある。各研磨工程は研磨を終えた層にいかほどの不均一性を招く。これらの不具合は、例えば電磁漏洩や短絡、表面不規則性、そして不均一な非導電性といったチップ不良を引き起こすことがある。

【0008】本発明の目的は、半導体チップの歩留りを改善することである。

【0009】また、本発明の他の目的は、簡易化されたチップ製造を行うことである。

【0010】さらに、本発明の他の目的は、半導体チップ層の表面平坦性を改良することである。

【0011】さらに、本発明の他の目的は、チップ歩留りを改善する一方で、半導体チップ製造中に形成された絶縁層を簡易に平坦化することである。

【0012】

【課題を解決するための手段】半導体ウエハ上の絶縁層に層間スタッドを形成する方法である。先ず初めに、コンフォーマル性（共形性）のBPSG絶縁層がフロント・エンド・オブ・ライン（FEOL）に形成される。半導体構造体バイアがBPSG絶縁層からFEOL構造体にかけて開口されている。ポリシリコンの層がバイアを充満してBPSG絶縁層の上に形成される。付着されたポリシリコンは、付着後に、ドーブされたポリシリコン、あるいはイオン注入されたポリシリコンとすることができ、半導体ウエハは、その基板に接触するどんな場所にも拡散部を形成するために、ポリシリコンからドーバントを拡散するためにアニールされる。コロイド状シリカと少なくとも1%の水酸化アンモニウムよりなる非選択スラリが、BPSG絶縁層からポリシリコンを化学的・機械的研磨するのに用いられ、同時にそのBPSG絶縁層を平坦化する。

【0013】

【発明の実施の形態】第1の工程において、半導体ウエハ上の典型的な半導体チップの断面である図1に示すように、バイアが絶縁層を抜けて形成されている。この例で供されているものであるが、典型的には半導体ウエハ又は基板100はシリコンである。電界効果トランジスタ（FET）のゲート102、104及び配線106、108はシリコン基板100上に形成されている。各ゲート102、104又は配線106、108は層をなしているスタッカであり、各スタッカの底層110はポリシリコンである。WSi₂の層112はポリシリコン層110を包み込んでいるまた、このWSi₂層112はSi₃N₄層114によって包み込まれている。半導体ウエハ全体は窒化物によるエッチ・ストップ層116によって被覆されている。

【0014】したがって、本発明の好適実施の形態によれば、典型的なFEOL構造体を形成することは、次層の配線層にデバイス構造体を接続させつつポリシリコンによる層間スタッドを形成でき、絶縁層を平坦化することができる。

【0015】初めに、コンフォーマル性の絶縁材料よりなる層120がFEOL構造体上に形成される。好ましい絶縁材料はホウリン酸塩ケイ酸ガラス（BPSG）であるが、好適などんな絶縁材料でも代用できる。通常、絶縁層120はその平面を平坦化するために化学的・機械的研磨され、次にそのBPSG絶縁層120を通るバイアにスタッドが形成される。ところで、化学的・機械的研磨には、BPSG絶縁層120を数千Åを除去することが要求される。結果、ウエハの厚さ方向でBPSG絶縁層120には重大な厚さ変化が生じる。こうした厚さの非均一性は、厚さの変化によって層を通してのバイアのエッチングに時間を要するから、バイアのエッチングを困難で不確実なものにしてしまう。1つのウエハの

領域で層120を通してエッチングする時間を十分にとると、一方ではエッチング過多（オーバー・エッチング）となり、他方ではエッチング過小（アンダー・エッチング）となる。しかし、本発明のスタッド形成方法では、ウエハ幅方向の厚さの変動を避け、付帯する問題を最小限に抑えることができる。

【0016】本発明によれば、バイアを形成する前に、BPSG絶縁層120を平坦化する代わりに、そのバイアパターン122を決め、図1に示すように、未平坦の層120をフォトリソグラフィ的にエッチングする。BPSG絶縁層120は、成長するほどに、ウエハの厚さ方向で比較的均一な厚さを有する。したがって、バイアのエッチング時間はウエハの厚さ方法で比較的均一である。バイア122は、標準的なプリント及びエッチングのフォトリソグラフィ技術を利用して決められる。

【0017】次に、図2において、ポリシリコンの層124が、バイア122を充満するようにして、パターン化されたBPSG絶縁層120上に形成される。不純物添加（ドーブ）されたポリシリコンを、層124を形成するために付着させることができるし、もしくは、ドーブされないポリシリコンを、このポリシリコンがバイア122を充填してドーブされるのを確実にするために、付着と不純物添加を別々に行うこともできる。次に、ウエハは、ドーブされたポリシリコン層124からのドーバントか、あるいはイオン注入されたポリシリコン層124からのドーバントが拡散部126を形成するために基板100に拡散されるようアニールされる。最後に、図3において、非選択スラリ及び硬い研磨パッドが、ポリシリコン層124及びBPSG絶縁層の下の絶縁層120を化学的・機械的研磨するために用いられ、同時に、絶縁層120を平坦化しながら、ポリシリコン・スタッド130、132を形成する。

【0018】非選択研磨工程用の好適なスラリは、少なくとも1%の水酸化アンモニウムを含有するシリカをベースにしたものである。好適な粒子サイズは少なくとも30nmである。好適なシリカはキャボット研究所（Cabot Laboratories）製のセミスパーズ（Semispers）SS-312である。したがって、好適なスラリはポリシリコン層及びBPSG絶縁層に対して両者共に研磨速度250nm/minで理想的な研磨を達成できる。両材料層に対する研磨速度がほぼ理想的なものであれば他のスラリを代用できる。研磨速度が相違するといった重大性は、広い未研磨領域にポリシリコンを残留させたり、BPSG表面を非平坦にするといった結果を招く。したがって、水酸化アンモニウムが1%よりも少ないスラリ、あるいはポリシリコンの除去速度が遅い水酸化カリウムをベースにしたスラリは、本発明には不適である。

【0019】好適な研磨パッドは、ロデル（Rodel）社製IC-1000研磨パッドのような硬いものである。研磨時に有効でないような軟質パッドを用いることの重大

性は、図4のプロファイル測定で表されているように不規則な表面を残すことである。図5に示す表面粗さにおいて、硬質パッド及び非選択スラリは、本発明の好適な実施の形態によって理想的な表面に研磨するのに用いられる。図5における表面測定の粗さ形状は、図4に示す表面測定のものよりも意味重大に平坦である。

【0020】したがって、本発明による好適な実施の形態の非選択研磨方法は、研磨工程とウェットエッチング工程を省くことができ、半導体チップの製造時間やコストを低減し、チップ歩留りを向上させる。さらに、好適な実施の形態の方法によれば、半導体ウエハのBPSG絶縁層を悪化させない。最後に、軟質パッドによる研磨で生じる表面トポグラフィカルな不規則性は、本発明では回避されるか、あるいは最小限に抑えられる。

【0021】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 半導体ウエハ上の絶縁層を通して層間スタッドを形成する方法において、

a) 半導体ウエハ上に絶縁材料よりなるコンフォーマル性の層を形成する工程と、
b) 前記絶縁層を通る複数のバイアを形成する工程と、
c) 前記複数のバイアを充填して前記コンフォーマル性の絶縁層の上に導体材料よりなる層を形成する工程と、
d) 前記導体材料が前記複数のバイアのみに残るようにして、前記導体層及び前記絶縁層を平坦な表面に化学的-機械的研磨を行う工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

(2) 前記(1)に記載の形成方法において、前記化学的-機械的研磨工程(d)で用いられる研磨剤は、前記導体層及び前記絶縁層にとって非選択スラリであることを特徴とする半導体ウエハの層間スタッド形成方法。

(3) 前記(2)に記載の形成方法において、前記非選択スラリはシリカ及び水酸化アンモニウムよりなることを特徴とする半導体ウエハの層間スタッド形成方法。

(4) 前記(3)に記載の形成方法において、前記シリカは30nmよりも大きい粒子サイズのコロイド状シリカであることを特徴とする半導体ウエハの層間スタッド形成方法。

(5) 前記(4)に記載の形成方法において、前記水酸化アンモニウムは少なくとも1%であることを特徴とする半導体ウエハの層間スタッド形成方法。

(6) 前記(3)に記載の形成方法において、前記導体材料はポリシリコンであり、前記絶縁材料はBPSGであることを特徴とする半導体ウエハの層間スタッド形成方法。

(7) 前記(6)に記載の形成方法において、前記ポリシリコンはドーブされたポリシリコンであることを特徴とする半導体ウエハの層間スタッド形成方法。

(8) 前記(7)に記載の形成方法において、前記化学的-機械的研磨工程(d)の前に、さらに、

C1) 前記ポリシリコンよりなる層からドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

(9) 前記(6)に記載の形成方法において、前記化学的-機械的研磨工程(d)の前に、さらに、

C1) 前記ポリシリコン層にドーバントを注入する工程と、

C2) 前記注入ドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

(10) 半導体ウエハ上のBPSG絶縁層を通して層間スタッドを形成する方法において、

a) 前記半導体ウエハ上にコンフォーマル性の前記BPSG絶縁層を形成する工程と、

b) 前記BPSG絶縁層を通る複数のバイアを形成する工程と、

c) 前記複数のバイアを充填して前記コンフォーマル性のBPSG絶縁層の上にポリシリコン層を形成する工程と、

d) ポリシリコン・スタッドが前記複数のバイアに残るように、ポリシリコン及びBPSGにとって非選択的なスラリにより前記ポリシリコン層と前記BPSG絶縁層を平坦な表面に化学的-機械的研磨を行う工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

(11) 前記(10)に記載の形成方法において、前記非選択スラリはシリカ及び少なくとも1%の水酸化アンモニウムよりなることを特徴とする半導体ウエハの層間スタッド形成方法。

(12) 前記(3)に記載の形成方法において、前記コロイド状シリカは30nmよりも大きい粒子サイズを有することを特徴とする半導体ウエハの層間スタッド形成方法。

(13) 前記(10)に記載の形成方法において、前記ポリシリコンはドーブされたポリシリコンであり、前記化学的-機械的研磨工程(d)の前に、さらに、

C1) 前記ポリシリコン層からドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

(14) 前記(10)に記載の形成方法において、前記化学的-機械的研磨工程(d)の前に、さらに、

C1) 前記ポリシリコン層にドーバントを注入する工程と、

C2) 前記注入ドーバントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

(15) 半導体ウエハ上のBPSG絶縁層に通して層間スタッドを形成する方法において、

a) 前記半導体ウエハ上にコンフォーマル性の前記BPSG絶縁層を形成する工程と、

b) 前記BPSG絶縁層を通る複数のパイアを形成する工程と、

c) 前記複数のパイアを充填して前記コンフォーマル性のBPSG絶縁層の上にポリシリコン層を形成する工程と、

d) 前記ポリシリコン層からドーパントが前記半導体ウエハに拡散されるよう、この半導体ウエハをアニールする工程と、

e) ポリシリコン・スタッドが前記複数のパイアに残るようにして、少なくとも1%の水酸化アンモニウムと少なくとも粒子サイズが30nmのコロイド状シリカよりなるスラリーをもって前記ポリシリコン層と前記BPSG絶縁層を平坦な表面に化学的・機械的研磨を行う工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

(16) 前記(10)に記載の形成方法において、前記ポリシリコンはドーパされたポリシリコンであることを特徴とする半導体ウエハの層間スタッド形成方法。

(17) 前記(10)に記載の形成方法において、前記アニール工程(d)の前に、さらに、

C1) 前記ポリシリコン層にドーパントを注入する工程と、を含むことを特徴とする半導体ウエハの層間スタッド形成方法。

*【図面の簡単な説明】

【図1】本発明の好適な実施の形態によるアレイ領域に開口部(パイア)を形成するための半導体チップを示す断面図である。

【図2】本発明の好適な実施の形態によるポリシリコン付着後の図1の半導体チップを示す断面図である。

【図3】金属スタッド用のパイアを形成後の半導体チップを示す断面図である。

【図4】化学的・機械的研磨仕上げ用に軟質パッドを用いて平坦化した表面の粗さ測定グラフである。

【図5】本発明の好適な実施の形態による化学的・機械的研磨後の図4と同様な表面の粗さ測定グラフである。

【符号の説明】

100 半導体ウエハ又は基板

102, 104 電界効果トランジスタ(FET)のゲート

106, 108 電界効果トランジスタ(FET)の配線

112 WSi₂層

114 Si₃N₄層

116 エッチ・ストッパ層

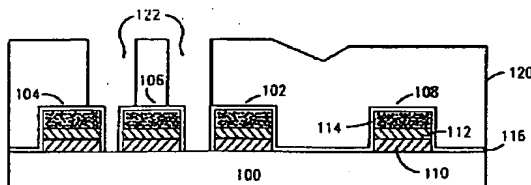
120 BPSG絶縁層

124 ポリシリコン層

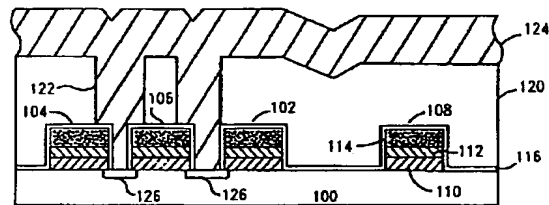
126 拡散部

130, 132 ポリシリコン・スタッド(層間スタッド)

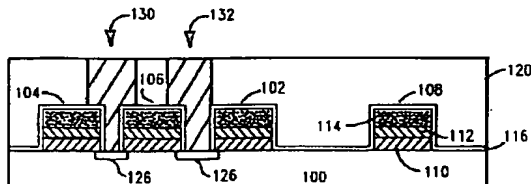
【図1】



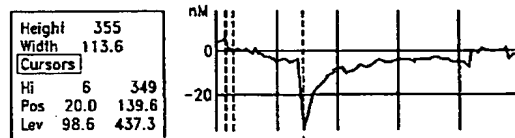
【図2】



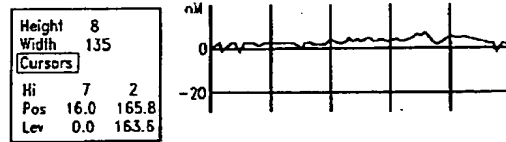
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 デヴィッド・マーク・ドバジンスキー
 アメリカ合衆国 12583 ニューヨーク州
 ホープウェル ジャンクシオン シェナ
 ンドー ロード 29

(72)発明者 ジェフリー・ピーター・ガンビン
 アメリカ合衆国 06755 コネティカット
 州 ゲイローズヴィル ウェバタック ロ
 ード 12
 (72)発明者 マーク・アンソニー・ジャソ
 アメリカ合衆国 10598 ニューヨーク州
 ヨークタウン ハイツ ウィブアウィル
 ロード 163